

# 半導体産業

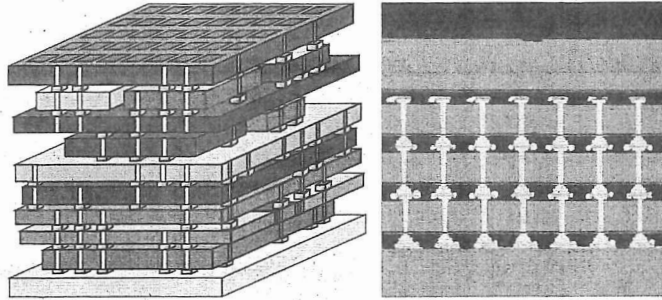
## 半導体の3次元実装技術について 開発動向と展望

3次元実装が登場したのは1990年代後半であり、当時はまだ「JESD30」という言葉が海外でも通じたほど実装は、わが国競争優位の源泉技術として世界をけん引していた。このような時代背景ではあったが、既存のワイヤボンダやフリップチップ技術ではシステムとしての集積度が上がらないことを懸念した東北大学では、シリコンを貫通した垂直配線T<sub>SV</sub>（スルー・シリコン・ビア）を20年以上前に開発し、これを使っただけで3次元実装の研究を先導してきた（図）。ここでは、T<sub>SV</sub>の開発動向とともに3次元実装の展望を述べる。

### 新しいT<sub>SV</sub>デバイス検証

シリコンを貫通した垂直配線がT<sub>SV</sub>と呼ばれたのは2006年以降であるが、東北大では1995年頃に既に直径数百μm、アスペクト比20を超えるT<sub>SV</sub>の形成を実現していた。それだけではなく、2000年までにT<sub>SV</sub>を使った3次元積層イメージセンサーや、画像処理用途で人工知能チップの代名詞となったHBM（ハイ・バンドウィズ・メモリ）で使われる3次元積層メモリなどを試作し、半導体デバイス分野で最も権威のある米国電気電子学会（IEEE）の国際電子デバイス会議（

### 東北大 試作製造拠点GINTI 研究機関・企業と共同研究



異種デバイスを積層した3次元集積チップの概念図と東北大で4層積層した3次元集積チップの断面写真



（写真1）GINTIクリーンルーム内

東北大学大学院工学研究科  
機械機能創成専攻 准教授

福島 誉史

IEDM)で発表している。ある3次元シリコンイオン。今で言うビア・ファンクターサー（「2アリスト/ウエハー・5D実装」とも呼ばれる）ウエハーと呼ばれるが、物理的に作製方法を採用している。2・5次元は存在せず、ある招待講演のシークの中から生まれた。ここで、T<sub>SV</sub>の形成工程、積層方式、サイスに着目した分類にはあえて使用しない（ここではビア・ミドル、3次元積層イメージセンサーではビア・ラストが主流となっている。

トランジスタ作製前のウエハーにT<sub>SV</sub>を形成するのが「ビア・ラストを基盤とし、直径300μmのウエハーに300μmのビア・ラストを形成して、新しいT<sub>SV</sub>を形成する」が「ビア・ラスト」である。現在、HBMに使用される3次元積層DRAMやそれを搭載する中継基板で

# “つながる”社会を支える

TSVの積層方式

さらに積層方式に着目すると、「チップ・ツリーチップ」、「チップ・ツリーウエハー」、「ウエハー・ツリーウエハー」に分類できる。ウエハー・ツリーウエハーは究極の積層方式であるが、歩留まりが100%に満たないウエハー同士の積層は不良チップの数を激増させる。また、サイズが異なる異種デバイスチップの積層には向かない。

一方、チップ・ツリーチップは良品チップのみを積層できるため歩留まりは高くなる。HBMの3次元積層DRAMでは採用されているが、逐次的で生産性は低い。両者の課題を克服できるのが、チップ・ツリーウエハーである。良品チップのみをウエハー上に積層し、ウエハーレベルで流せる工程を一括で処理する。

東北大ではこの積層方式の生産性と精度をさらに高めた自己組織化マルチチップ・ツリーウエハーを05年頃から推進してきた。平らな基板への処理が得意なウエハーレベルの半導体製造工程であるが、チップが積層されたウエハーへの処理は技術的に難易度が高い。

ところが19年5月に行われたIEEEのECTC（半導体実装技術で最大規模の国際会議）では、このチップ・ツリーウエハーに関する発表件数が増えており、依然として期待感は強い。

## TSVのサイズ

最後にTSVのサイズに着目すると大きく二つに分けられる。一つは直径5μm、10μmを下のTSV、もう一つは直径10μmを上のTSVである。

前者は多層配線の最上層の電極レッチ以下で積層チップ間のデバイスを結ぶ微細なTSVを意味している。それに対して、後者は水平置きした隣り合うチップ間の接続を担う3次元シリコンインターポ

写真2 GINTIで試作した3次元集積用300mmウエハーの写真



インターポでの利用を想定している。直径が大きく、長いというよりは、長いTSVと言った方が適切であろう。

配線は全てのデバイスを含んでシステムを有機的に機能させる基幹的要素である。高性能なチップ間の通信ポトルネットワークとなるのが有機基板上に形成された粗いピッチの長い配線である。

これを置き換える3次元シリコンインターポサーは、ミドルで作製され、微細な多層配線が形成された後に個片化されるが、ハンドリングしやすい100μm以上の厚さに設計されることが多い。

アスペクト比が10を超えるTSVの作製は歩留まりの面で課題を抱えるため、TSVの直径は必然的に大きく集積技術という考え

当初TSVはワイヤ

らない時代に突入した。ウエハーの薄化やチップの積層に伴う熱周りのリークや、イオン性不純物の拡散に起因する電気的な特性など多くの信頼性解析研究も進められてきたが、デバイス構造の違いや用途に応じた最適化が必要であり完全に解決されたとはいえない。放熱やテスト技術などの課題もある。コストの問題もあり多くのデバイスに適用できるようになったとはいえないが、HBMのように高価でもその高い性能ゆえ必要とされるデバイスシステムが誕生してきた。

今後、クラウドのサーバーのような大規模なシステムだけではなく、身の回りの多くのモノに大容量のデータを高速に処理するエッジが必要となる。これに対応するには大容量の記憶素子が搭載されたストレージクラスメモリなど、TSVがないと機能十分に達成できないシステムが増えていく。ソフトウェアの研究で過熱する人工知能の開発に欠けているのはハードウェアだと指摘する声も多々、この分野でも高い成長が見込まれる。

本格的な人工知能が備わった将来のIoT（インターネット・オブ・エブリシング）すべてのインターネット社会で3次元集積がメインストリームとなるのは必然であると云える。